

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-261232

(P2002-261232A)

(43) 公開日 平成14年9月13日 (2002.9.13)

(51) Int.Cl.⁷

H 0 1 L 25/065
25/07
25/18

識別記号

F I

H 0 1 L 25/08

テーマコード* (参考)

Z

審査請求 未請求 請求項の数14 O L (全 8 頁)

(21) 出願番号 特願2001-56354 (P2001-56354)

(22) 出願日 平成13年3月1日 (2001.3.1)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000232999

株式会社日立カーエンジニアリング

茨城県ひたちなか市高場2477番地

(72) 発明者 秋葉 俊彦

茨城県ひたちなか市大字高場2520番地 株

式会社日立製作所自動車機器グループ内

(74) 代理人 100077816

弁理士 春日 譲

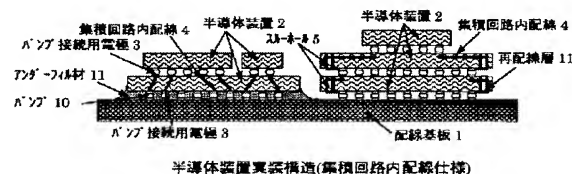
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 応答速度及び実装率を向上できるとともに、低価格化が可能な半導体装置を実現する。

【解決手段】 配線基板1と半導体装置2、または2つの半導体装置2に挟まれた半導体装置2の配線基板1側の面とその反対側の面との双方に bumps 接続用電極3を有し、そのうち一方の面に形成された一部又は全部の bumps 接続用電極3がもう一方の面に設けられた bumps 接続用電極3に電気的に接続される。半導体装置2に、スルーホール5の形成するか、側面を経由する再配線6を形成するか、樹脂テープ7に内蔵された配線を形成するか、ボンディングワイヤ8を形成する。複数の半導体装置2を bumps 接続にて積層することで、半導体装置2の総面積よりも小の実装面積となる。また、半導体装置2間の接続距離を飛躍的に短縮でき、応答速度も大幅に向上できる。



【特許請求の範囲】

【請求項 1】配線基板上に 2 段以上積載され、配線基板と半導体装置、または 2 つの半導体装置に挟まれる半導体装置において、

上記挟まれた半導体装置の配線基板側の面とその反対側の面との双方にバンプ接続用電極が形成され、そのうち一方の面に形成された一部もしくは全部の上記バンプ接続用電極が、他方の面に設けられたバンプ接続用電極に電氣的に接続されることを特徴とする半導体装置。

【請求項 2】請求項 1 記載の半導体装置において、この半導体装置は集積回路を有し、上記バンプ接続用電極間の電氣的接続が、上記集積回路内にて行われていることを特徴とする半導体装置。

【請求項 3】請求項 1 記載の半導体装置において、半導体装置の外周面付近もしくは中心部付近に、電極パッドを有し、上記半導体装置の少なくとも一方の面に形成されたバンプ接続用電極が、その電極パッドを介して、他方の面に設けられたバンプ接続用電極に電氣的に接続され、上記集積回路を半導体装置の中心部に集約させ、バンプに及ぼす熱応力を低減させることを特徴とする半導体装置。

【請求項 4】請求項 3 記載の半導体装置において、半導体装置のバンプ接続用電極と外周部付近もしくは中心部付近の電極パッドが、半導体装置に形成された集積回路内で電氣的に接続されることを特徴とする半導体装置。

【請求項 5】請求項 3 記載の半導体装置において、半導体装置の少なくとも一方の面に形成された外周部付近もしくは中心部付近の電極パッドが、他方の面に設けられた電極パッドに集積回路内で電氣的に接続されることを特徴とする半導体装置。

【請求項 6】請求項 3 記載の半導体装置において、半導体装置のバンプ接続用電極と外周部付近もしくは中心部付近の電極パッドが、半導体素子表面に P I、メタル配線等を形成する薄膜再配列配線技術により電氣的に接続されることを特徴とする半導体装置。

【請求項 7】請求項 1 記載の半導体装置において、上記挟まれた半導体装置の配線基板側の面に形成された一部もしくは全部の上記バンプ接続用電極とその反対側の面に設けられたバンプ接続用電極間を電氣的に接続するために、半導体装置にスルーホールを設けることを特徴とする半導体装置。

【請求項 8】請求項 7 記載の半導体装置において、上記スルーホールに充填剤を充填したことを特徴とする半導体装置。

【請求項 9】請求項 7 記載の半導体装置において、上記スルーホール上に電極を有することを特徴とする半導体装置。

【請求項 10】請求項 7 記載の半導体装置において、上記スルーホールの端面から 10 μ m 以上の無集積回路部を設けたことを特徴とする半導体装置。

【請求項 11】請求項 7 記載の半導体装置において、レーザービーム、ドリル、ウォータージェットの少なくとも 1 つを用い、上記スルーホールを形成することを特徴とする半導体装置。

【請求項 12】請求項 1 記載の半導体装置において、上記挟まれた半導体装置の配線基板側の面に形成された一部もしくは全部の上記バンプ接続用電極と、その反対側の面に設けられたバンプ接続用電極間を電氣的に接続するため、上記電極から半導体装置の側面を経由する再配線、樹脂テープに内蔵された配線、又は、ボンディングワイヤの少なくとも 1 つを用いることを特徴とする半導体装置。

【請求項 13】請求項 12 記載の半導体装置において、半導体装置の側面に設けた配線を保護する樹脂封止を有することを特徴とする半導体装置。

【請求項 14】請求項 1 記載の半導体装置において、バンプ接続用電極もしくは配線を保護するための、半導体装置表面に保護膜または保護テープを備えることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に係わり、特に、高密度三次元実装に適した半導体装置に関する。

【0002】

【従来の技術】携帯電話等に付加価値や容量増大のため、1 つのパッケージ内に複数の半導体装置を搭載した MCM (マルチチップモジュール) がある。

【0003】従来は、複数の半導体装置を並べて配列するために、搭載する半導体装置の総面積よりも小型のパッケージ製作は不可能であった。その解決策として、複数の半導体装置を積層させることにより、高密度実装を確立する構造パッケージ (以下、「スタックドパッケージ」という) がある。

【0004】

【発明が解決しようとする課題】しかし、従来技術におけるスタックドパッケージでは、半導体装置間は、一旦、ボンディングワイヤとインターポーザ等の配線を介して接続されているため、半導体装置間の応答速度に限界があった。

【0005】さらに、スタックドパッケージは、通常、半導体メーカーにてワイヤーボンディング、樹脂モールド等のパッケージングがなされるため、複数スペックのスタックドパッケージを必要とするとき、半導体メーカー側の少量他品種生産により高価格となる。

【0006】本発明の目的は、応答速度及び実装率を向上できるとともに、低価格化が可能な半導体装置を実現することである。

【0007】

【課題を解決するための手段】上記目的を達成するた

め、本発明は次のように構成される。

(1) 配線基板上に 2 段以上積載され、配線基板と半導体装置、または 2 つの半導体装置に挟まれる半導体装置において、上記挟まれた半導体装置の配線基板側の面とその反対側の面との双方にバンプ接続用電極が形成され、そのうち一方の面に形成された一部もしくは全部の上記バンプ接続用電極が、他方の面に設けられたバンプ接続用電極に電氣的に接続される。

【0008】(2) 好ましくは、上記(1)において、この半導体装置は集積回路を有し、上記バンプ接続用電極間の電氣的接続が、上記集積回路内にて行われている。

【0009】(3) また、好ましくは、上記(1)において、半導体装置の外周面付近もしくは中心部付近に、電極パッドを有し、上記半導体装置の少なくとも一方の面に形成されたバンプ接続用電極が、その電極パッドを介して、他方の面に設けられたバンプ接続用電極に電氣的に接続され、上記集積回路を半導体装置の中心部に集約させ、バンプに及ぼす熱応力を低減させる。

【0010】(4) また、好ましくは、上記(3)において、半導体装置のバンプ接続用電極と外周部付近もしくは中心部付近の電極パッドが、半導体装置に形成された集積回路内で電氣的に接続される。

【0011】(5) また、好ましくは、上記(3)において、半導体装置の少なくとも一方の面に形成された外周部付近もしくは中心部付近の電極パッドが、他方の面に設けられた電極パッドに集積回路内で電氣的に接続される。

【0012】(6) また、好ましくは、上記(3)において、半導体装置のバンプ接続用電極と外周部付近もしくは中心部付近の電極パッドが、半導体素子表面に P I、メタル配線等を形成する薄膜再配列配線技術により電氣的に接続される。

【0013】(7) また、好ましくは、上記(1)において、上記挟まれた半導体装置の配線基板側の面に形成された一部もしくは全部の上記バンプ接続用電極とその反対側の面に設けられたバンプ接続用電極間を電氣的に接続するために、半導体装置にスルーホールを設ける。

【0014】(8) また、好ましくは、上記(7)において、上記スルーホールに充填剤を充填する。

【0015】(9) また、好ましくは、上記(7)において、上記スルーホール上に電極を有する。

【0016】(10) また、好ましくは、上記(7)において、上記スルーホールの端面から 10 μ m 以上の無集積回路部を設ける。

【0017】(11) また、好ましくは、上記(7)において、レーザビーム、ドリル、ウォータージェットの少なくとも 1 つを用い、上記スルーホールを形成する。

【0018】(12) また、好ましくは、上記(1)において、上記挟まれた半導体装置の配線基板側の面に形

成された一部もしくは全部の上記バンプ接続用電極と、その反対側の面に設けられたバンプ接続用電極間を電氣的に接続するため、上記電極から半導体装置の側面を経由する再配線、樹脂テープに内蔵された配線、又は、ボンディングワイヤの少なくとも 1 つを用いる。

【0019】(13) また、好ましくは、上記(12)において、半導体装置の側面に設けた配線を保護する樹脂封止を有する。

【0020】(14) また、好ましくは、上記(1)において、バンプ接続用電極もしくは配線を保護するための、半導体装置表面に保護膜または保護テープを備える。

【0021】本発明の半導体装置は、挟む側の配線基板もしくは半導体装置とそれぞれバンプを介して電氣的に接続される。

【0022】従来の半導体装置は、2 面以上の面にバンプ接続用電極を備えていない。そこで、上記挟まれた半導体装置の挟まれた 2 面にバンプ接続用電極を形成し、その 2 面間のバンプ接続用電極同士を電氣的に接続する。

【0023】上記の接続に際し、集積回路内あるいは集積回路外にて接続を行う。集積回路外にて電氣的接続を行う方法として、シリコンウェハあるいは半導体装置単体状態時に、レーザビーム、ドリル、ウォータージェット等を利用してスルーホールを形成し、上記 2 面間を接続する配線を設ける。

【0024】あるいは、上記挟まれた半導体装置の側面を利用し、再配線、配線が内蔵されたテープ、またはワイヤーボンディングを行い、上記 2 面に設けられたバンプ接続用電極同士を電氣的に接続する。

【0025】上述の半導体装置は、スタックドパッケージに必要であった、樹脂モールド、ワイヤーボンディング工程を廃止することができる。これにより、樹脂モールドの変形に伴う半導体装置と樹脂との界面剥離やワイヤー断線が防止される。

【0026】さらに、配線基板(マザーボードもしくはインターポーザ)上に、半導体装置積載のため、半導体装置サイズでの実装が可能になり、飛躍的な実装率向上が可能となる。

【0027】また、半導体メーカーでは、主機能半導体装置と付加機能的半導体装置に絞り、仕様共通化による大量生産が可能となるメリットと、アセンブリメーカーでは、製作時に半導体装置の積載仕様を自由に変更でき、従来技術に比較して、低価格のカスタム MCM の実現が可能となる。

【0028】さらに、実装プロセスも配線基板に複数の半導体装置を一括積層し、一括リフローを可能とする為、パッケージ工程時に発生する電氣的接続不良率も減少する。

【0029】機能的には、ワイヤーボンディングを必要

としない bumps 接続による半導体装置の積載は、従来の半導体装置間の接続配線距離が飛躍的に短縮され、積層した半導体装置の機能を配線基板上に伝達し得るのみならず、半導体装置間の応答高速化の役割も併せ持つ。

【0030】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施形態を詳細に説明する。図1～図5は、本発明の実施形態である半導体装置2における、三次元実装により高実装率を実現する積層構造を示す図である。

【0031】図1～図5に示すように、配線基板1と積層する半導体装置2は、bump 10によって電氣的に接続される。必要によっては、接続部にアンダーフィル材11の充填を行い、bump 10の接続強度を強化する。

【0032】図1は、上記半導体装置2の両面に形成された bumps 接続用電極3同志を配線基板1内にて結線したものと、半導体装置2の外周部付近もしくはある特定位置の電極パッド9と bumps 接続用電極3を配線基板1内にて結線し、その電極パッド9を介して反対面の bumps 接続用電極3に電氣的に接続するものを示す。図2～図5は、半導体装置2の外周部付近、もしくは、ある特定位置の電極パッド9と上記挟まれた両面の bumps 接続用電極3を再配線技術により結線したものである。図2に示す例においては、以下の図6及び図7に示す2種類の結線方法により電氣的接続が行われている。まず、図6は、半導体装置2にスルーホール5を設け、表裏両面を互いに電氣的に導通させ、そのスルーホール5上の引き出しパッド13から電極パッド9を介して bumps 接続用電極3に接続する。次に、図7は、図6におけるスルーホールパッドと電極パッド9とを一体とするパッド・オン・ビア14が形成された構造を示す図である。必要であれば、スルーホール5に充填剤を充填し、ビアパッドを設け、機械的強度を強化したものとする。

【0033】図3、図4、図5、図8、図9、図10は、上記挟まれた両面の bumps 接続用電極3同志を電氣的に接続するため、半導体装置2の側面を利用する場合の例を示す図である。図3及び図8は半導体装置2の側面に配線層6を形成する例であり、図4及び図9は半導体装置2の側面に配線が内蔵されたテープ7を装着する例、図5及び図10は半導体装置2の側面にワイヤーボンディング8の後に樹脂モールド15を行った例である。

【0034】以上のように、本発明の実施形態に係る半導体装置2は、配線基板1もしくは半導体装置2に挟まれた両面に bumps 接続用電極3を有する。その挟まれた両面間における少なくとも1組以上の電極同志は結線されている。

【0035】電氣的接続方法は、集積回路内にて、配線4にて結線する方法、または集積回路外で配線を設ける方法を用いている。上記の bumps 接続用電極3同志を電氣的に接続する方法として、半導体装置2の外周部もし

くはある特定の位置にスルーホール5を形成するか、あるいは、再配線層6、配線が内蔵されたテープ7の装着、ワイヤーボンディング8のいずれかにより、半導体装置2の側面を経由する配線を形成する。

【0036】さらに、必要に応じて、半導体装置2の外周部もしくはある特定の位置の電極パッド9を形成し、 bumps 接続用電極3のパッドと配線を行って、その電極パッド9を介して、上記2面間における電極同志の接続を行う。

【0037】半導体装置2に形成するスルーホール5は、レーザビーム、ドリル、ウォータージェット等を利用する。集積回路部に影響しないように、集積回路部からある一定距離をもってスルーホール5を形成することとする。

【0038】再配線層6、配線が内蔵されたテープ7の装着、ワイヤーボンディング8は、半導体装置2の製造後の工程として行うものとする。再配線層6においては、配線後、パッシベーション層、配線内臓テープ装着においてはテープ樹脂の熱硬化、ワイヤーボンディング8においては、樹脂モールド12等を行う。

【0039】また、出荷時のストレス緩和を目的に、一時的あるいは永久的に bumps 接続用電極3の形成面を保護する保護膜または保護テープを設置する。

【0040】

【発明の効果】本発明によれば、半導体装置の bumps 接続による三次元実装を取り入れることで、従来のMCMにおける半導体装置間の接続距離を短縮でき、応答速度を大幅に向上できる。

【0041】また、半導体装置の総面積よりも小型のパッケージ製作が可能なることから、大幅な実装率向上が図られる。

【0042】さらに、アセンブリメーカにてMCMの仕様決定および製作が可能となるため、半導体メーカの半導体装置生産品種と製作行程の低減、および仕様共通化による大量生産が可能となり、低コスト化、低価格化が可能となる。

【0043】つまり、本発明によれば、応答速度及び実装率を向上できるとともに、低価格化が可能な半導体装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施形態である半導体装置の集積回路内配線仕様における実装構造を示す図である。

【図2】本発明の実施形態である半導体装置の貫通ビア仕様における実装構造を示す図である。

【図3】本発明の実施形態である半導体装置の側面再配線仕様における実装構造を示す図である。

【図4】本発明の実施形態である半導体装置の配線内蔵テープ仕様における実装構造を示す図である。

【図5】本発明の実施形態である半導体装置のワイヤーボンディング仕様における実装構造を示す図である。

【図 6】本発明の実施形態である半導体装置の再配線仕様 1 における構造を示す図である。

【図 7】本発明の実施形態である半導体装置の再配線仕様 2 における構造を示す図である。

【図 8】本発明の実施形態である半導体装置の再配線仕様 3 における構造を示す図である。

【図 9】本発明の実施形態である半導体装置の配線内蔵テープ仕様における構造を示す図である。

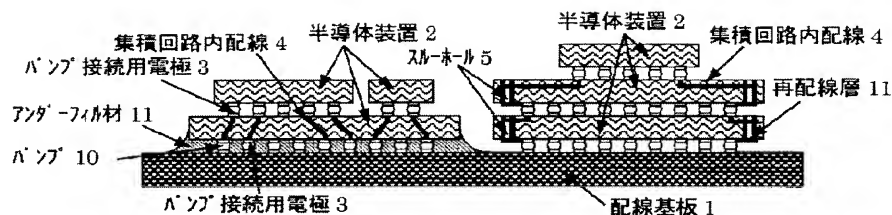
【図 10】本発明の実施形態である半導体装置のワイヤーボンディング仕様における構造を示す図である。

【符号の説明】

1 配線基板
2 半導体装置

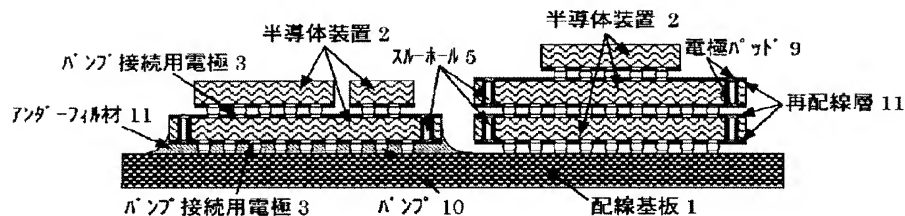
3 バンプ接続用電極
4 集積回路内配線
5 スルーホール
6 再配線層
7 配線が内蔵されたテープ
8 ワイヤーボンディング
9 電極パッド
10 バンプ
11 アンダーフィル材
12 樹脂モールド
13 引き出しパッド
14 パッド・オン・ビア
15 樹脂モールド

【図 1】



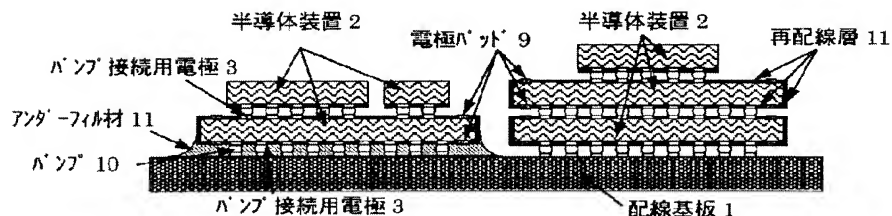
半導体装置実装構造(集積回路内配線仕様)

【図 2】



半導体装置実装構造(貫通ビア仕様)

【図 3】



半導体装置実装構造(側面再配線仕様)

半導体装置実装構造(配線内蔵層仕様)

半導体装置2

パッド接続用電極3

樹脂コート12

ワイヤボンディング8

アンダーフィルム材11

パッド10

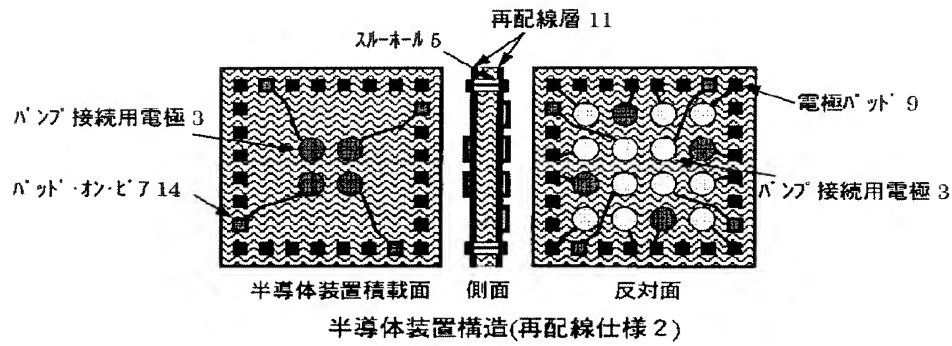
配線基板1

半導体装置実装構造(ワイヤボンディング仕様)

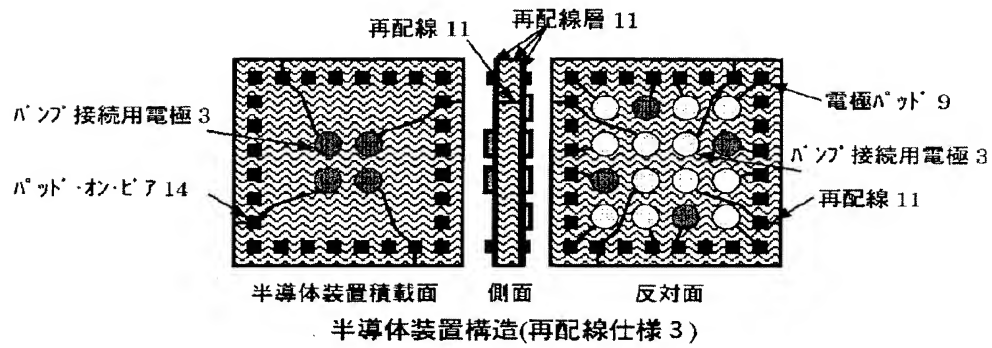
半導体装置積載面 側面 反対面

半導体装置構造(再配線仕様1)

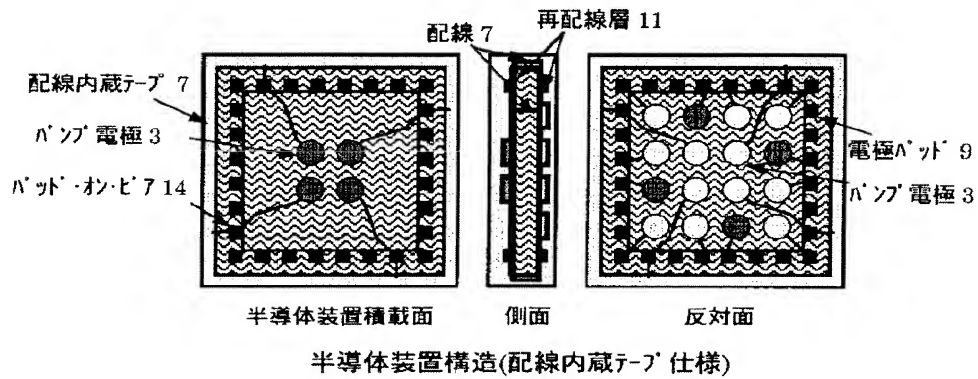
【図7】



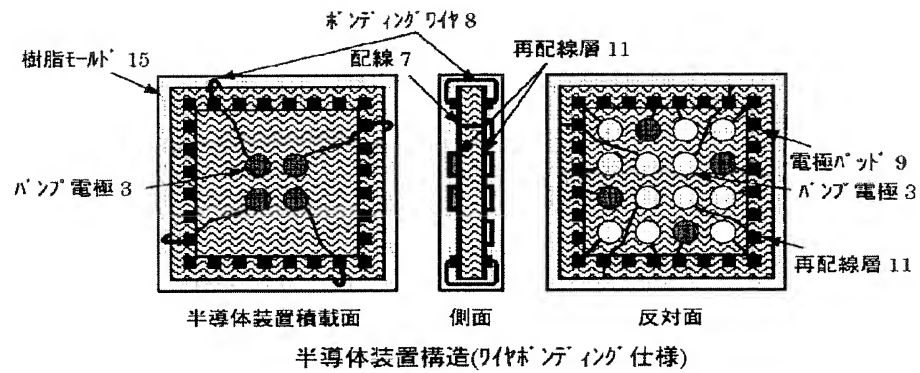
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 内山 薫
茨城県ひたちなか市大字高場2520番地 株
式会社日立製作所自動車機器グループ内

(72)発明者 浅野 雅彦
茨城県ひたちなか市高場2477番地 株式会
社日立カーエンジニアリング内

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the semiconductor device which is loaded two or more steps on a wiring substrate, and is inserted into a wiring substrate, a semiconductor device, or two semiconductor devices The electrode for bump connection is formed in the both sides of the field and the field of an opposite hand by the side of the wiring substrate of the semiconductor device inserted the account of a top. Among those, the semiconductor device characterized by connecting electrically the part formed in one field, or all the above-mentioned electrodes for bump connection to the electrode for bump connection prepared in the field of another side.

[Claim 2] It is the semiconductor device characterized by for this semiconductor device having an integrated circuit in a semiconductor device according to claim 1, and performing electrical installation inter-electrode [for / above-mentioned / bump connection] within the above-mentioned integrated circuit.

[Claim 3] The semiconductor device characterized by to reduce the thermal stress which have an electrode pad near a peripheral face or near a core a semiconductor device, and connect with the electrode for bump connection prepared at the field of another side electrically, and the electrode for bump connection formed in one [at least] field of the above-mentioned semiconductor device makes the core of a semiconductor device collect the above-mentioned integrated circuit through the electrode pad in a semiconductor device according to claim 1, and is exerted on a bump.

[Claim 4] The semiconductor device characterized by connecting electrically the electrode pad the electrode for bump connection of a semiconductor device, near the periphery section, or near a core within the integrated circuit formed in the semiconductor device in a semiconductor device according to claim 3.

[Claim 5] The semiconductor device characterized by connecting electrically the electrode pad near the periphery section formed in one [at least] field of a semiconductor device, or near a core to the electrode pad prepared in the field of another side within an integrated circuit in a semiconductor device according to claim 3.

[Claim 6] The semiconductor device characterized by connecting electrically the electrode pad the electrode for bump connection of a semiconductor device, near the periphery section, or near a core in a semiconductor device according to claim 3 by the thin film rearrangement wiring technique which forms PI, metal wiring, etc. in a semiconductor device front face.

[Claim 7] The semiconductor device characterized by establishing a through hole in a semiconductor

device in order to connect electrically the inter-electrode one for bump connection prepared in the field of the opposite hand with the part formed in the field by the side of the wiring substrate of the semiconductor device inserted the account of a top in the semiconductor device according to claim 1, or all the above-mentioned electrodes for bump connection.

[Claim 8] The semiconductor device characterized by filling up the above-mentioned through hole with a bulking agent in a semiconductor device according to claim 7.

[Claim 9] The semiconductor device characterized by having an electrode on the above-mentioned through hole in a semiconductor device according to claim 7.

[Claim 10] The semiconductor device characterized by preparing the non-integrated-circuit section 10 micrometers or more from the end face of the above-mentioned through hole in a semiconductor device according to claim 7.

[Claim 11] The semiconductor device characterized by forming the above-mentioned through hole in a semiconductor device according to claim 7 using at least one of a laser beam, a drill, and the water jets.

[Claim 12] Rewiring which goes via the side face of a semiconductor device from the above-mentioned electrode in order to connect electrically the inter-electrode one for bump connection prepared in the field of the opposite hand with the part formed in the field by the side of the wiring substrate of the semiconductor device inserted the account of a top in the semiconductor device according to claim 1, or all the above-mentioned electrodes for bump connection, wiring built in the resin tape, or the semiconductor device characterized by to use at least one of the bonding wires.

[Claim 13] The semiconductor device characterized by having the resin seal which protects wiring prepared in the side face of a semiconductor device in a semiconductor device according to claim 12.

[Claim 14] The semiconductor device characterized by equipping the semiconductor device front face for protecting the electrode for bump connection, or wiring with a protective coat or masking tape in a semiconductor device according to claim 1.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the semiconductor device suitable for high density three-dimensions mounting with respect to a semiconductor device.

[0002]

[Description of the Prior Art] There is MCM (multi chip module) which carried two or more semiconductor devices in one package in a cellular phone etc. for added value or capacity buildup.

[0003] Since conventionally puts in order and arranged two or more semiconductor devices, the package fabrication smaller than the gross area of the semiconductor device to carry was impossible. There is a structure package (henceforth a "stack northern sea lion package") which establishes high density assembly by carrying out the laminating of two or more semiconductor devices as the solution.

[0004]

[Problem(s) to be Solved by the Invention] However, with the stacked package in the conventional

technique, between semiconductor devices, since it connected with the bonding wire through wiring of INTAPOZA etc., the limitation was once in the speed of response between semiconductor devices.

[0005] Furthermore, since packaging, such as wire bonding and a resin mould, is made by chip makers, a stacked package usually serves as an expensive rank by little other form production by the side of chip makers, when the stacked package of two or more spec. is needed.

[0006] The object of this invention is realizing the semiconductor device whose price's can fall while being able to improve a speed of response and the rate of mounting.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned object, this invention is constituted as follows.

(1) In the semiconductor device which is loaded two or more steps on a wiring substrate, and is inserted into a wiring substrate, a semiconductor device, or two semiconductor devices The part which the electrode for bump connection was formed in the both sides of the field and the field of an opposite hand by the side of the wiring substrate of the semiconductor device inserted the account of a top, among those was formed in one field, or all the above-mentioned electrodes for bump connection are electrically connected to the electrode for bump connection prepared in the field of another side.

[0008] (2) Preferably, in the above (1), this semiconductor device has an integrated circuit and electrical installation inter-electrode [for / above-mentioned / bump connection] is performed within the above-mentioned integrated circuit.

[0009] (3) Moreover, connect with the electrode for bump connection with which the electrode for bump connection which has an electrode pad and was formed in one [at least] field of the above-mentioned semiconductor device was preferably prepared near a peripheral face or near a core the semiconductor device through the electrode pad in the above (1) in the field of another side electrically, make the core of a semiconductor device collect the above-mentioned integrated circuit, and reduce the thermal stress exerted on a bump.

[0010] (4) Moreover, in the above (3), the electrode pad the electrode for bump connection of a semiconductor device, near the periphery section, or near a core is preferably connected electrically within the integrated circuit formed in the semiconductor device.

[0011] (5) Moreover, in the above (3), the electrode pad near the periphery section formed in one [at least] field of a semiconductor device or near a core is preferably connected to the electrode pad prepared in the field of another side electrically within an integrated circuit.

[0012] (6) Moreover, in the above (3), the electrode pad the electrode for bump connection of a semiconductor device, near the periphery section, or near a core is preferably connected electrically by the thin film rearrangement wiring technique which forms PI, metal wiring, etc. in a semiconductor device front face.

[0013] (7) Moreover, in order to connect electrically the inter-electrode one for bump connection prepared in the field of the opposite hand with the part preferably formed in the field by the side of the wiring substrate of the semiconductor device inserted the account of a top in the above (1), or all the above-mentioned electrodes for bump connection, establish a through hole in a semiconductor device.

[0014] (8) Moreover, fill up the above-mentioned through hole with a bulking agent in the above (7) preferably.

[0015] (9) Moreover, in the above (7), it has an electrode on the above-mentioned through hole preferably.

- [0016] (10) Moreover, prepare the non-integrated-circuit section 10 micrometers or more from the end face of the above-mentioned through hole in the above (7) preferably.
- [0017] (11) Moreover, form the above-mentioned through hole in the above (7) preferably using at least one of a laser beam, a drill, and the water jets.
- [0018] (12) Moreover, in order to connect electrically the inter-electrode one for bump connection prepared in the field of the opposite hand with the part preferably formed in the field by the side of the wiring substrate of the semiconductor device inserted the account of a top in the above (1), or all the above-mentioned electrodes for bump connection, use rewiring which goes via the side face of a semiconductor device from the above-mentioned electrode, wiring built in the resin tape, or at least one of the bonding wires.
- [0019] (13) Moreover, it has the resin seal which protects preferably wiring prepared in the side face of a semiconductor device in the above (12).
- [0020] (14) Moreover, equip the semiconductor device front face for protecting the electrode for bump connection, or wiring with a protective coat or masking tape in the above (1) preferably.
- [0021] The semiconductor device of this invention is electrically connected with the near wiring substrate or semiconductor device to insert through a bump, respectively.
- [0022] The conventional semiconductor device does not equip a page [2nd / or more] field with the electrode for bump connection. Then, the electrode for bump connection is formed in the 2nd page into which the semiconductor device inserted the account of a top was inserted, and the electrodes for bump connection for the 2nd page are connected electrically.
- [0023] On the occasion of the above-mentioned connection, it connects within an integrated circuit and out of an integrated circuit. As an approach of performing electrical installation out of an integrated circuit, a through hole is formed in a silicon wafer or a semiconductor device simple substance condition using a laser beam, a drill, a water jet, etc., and wiring which connects for the 2nd above-mentioned page is prepared.
- [0024] Or the side face of the semiconductor device inserted the account of a top is used, the tape on which rewiring and wiring were built in, or wire bonding is performed, and the electrode comrade for bump connection prepared in the 2nd above-mentioned page is connected electrically.
- [0025] An above-mentioned semiconductor device can abolish the resin mould which was required for the stacked package, and a wire-bonding process. Thereby, interfacial peeling of the semiconductor device and resin accompanying deformation of a resin mould and a wire open circuit are prevented.
- [0026] Furthermore, for semiconductor device loading on a wiring substrate (a mother board or INTAPOZA), mounting in semiconductor device size is attained and the fast improvement in the rate of mounting of it is attained.
- [0027] Moreover, by chip makers, it extracts to the main functional semiconductor device and an option-semiconductor device, and by the assembly manufacturer, the loading specification of a semiconductor device can be freely changed at the time of a fabrication, and it becomes the merit whose mass production method by specification communalization is attained realizable [custom-made one MCM of a low price] as compared with the conventional technique.
- [0028] Furthermore, in order that a mounting process may also carry out the package laminating of two or more semiconductor devices to a wiring substrate and may make a package reflow possible, the electrical installation percent defective generated at the time of a package process also decreases.

[0029] Functionally, the connection wiring distance between the conventional semiconductor devices is shortened by leaps and bounds, and loading of the semiconductor device by the bump connection which does not need wire bonding not only may transmit the function of a semiconductor device which carried out the laminating to a wiring substrate, but it has the role of the response improvement in the speed between semiconductor devices.

[0030]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained to a detail with reference to an accompanying drawing. Drawing 1 - drawing 5 are drawings in the semiconductor device 2 which is the operation gestalt of this invention showing the laminated structure which realizes the rate of high mounting by three-dimensions mounting.

[0031] As shown in drawing 1 - drawing 5 , the semiconductor device 2 which carries out a laminating to the wiring substrate 1 is electrically connected by the bump 10. A connection is filled up with the under-filling material 11 depending on the need, and a bump's 10 connection resilience is strengthened.

[0032] Drawing 1 shows what connected electrode 3 comrade for bump connection formed in both sides of the above-mentioned semiconductor device 2 within the wiring substrate 1, and the thing which connects the electrode pad 9 of near the periphery section of a semiconductor device 2, or a certain specific location, and the electrode 3 for bump connection within the wiring substrate 1, and is electrically connected to the electrode 3 for bump connection of a reverse side through the electrode pad 9. Drawing 2 - drawing 5 connect near the periphery section of a semiconductor device 2 or the electrode pad 9 of a certain specific location, and the electrode 3 for bump connection of both sides across which it faced the account of a top with a rewiring technique. In the example shown in drawing 2 , electrical installation is performed by two kinds of connection approaches shown in the following drawing 6 and drawing 7 . first, drawing 6 establishes a through hole 5 in a semiconductor device 2, boils front flesh-side both sides mutually, makes it flow through them electrically, and is connected to the electrode 3 for bump connection through the electrode pad 9 from the drawer pad 13 on the through hole 5. Next, drawing 7 is drawing showing the structure where the pad-on beer 14 which makes one the through hole pad and the electrode pad 9 in drawing 6 was formed. When required, the through hole 5 should be filled up with the bulking agent, the beer pad should be prepared, and the mechanical strength should be strengthened.

[0033] The account of a top, drawing 3 , drawing 4 , drawing 5 , drawing 8 , drawing 9 , and drawing 10 are drawings showing the example in the case of using the side face of a semiconductor device 2, in order to connect electrically electrode 3 comrade for bump connection of both sides across which it faced. Drawing 3 and drawing 8 are examples which form a wiring layer 6 in the side face of a semiconductor device 2, and the example, drawing 5 , and drawing 10 which drawing 4 and drawing 9 equip with the tape 7 on which wiring was built in the side face of a semiconductor device 2 are the example which carried out the resin mould 15 to the side face of a semiconductor device 2 after wire bonding 8.

[0034] As mentioned above, the semiconductor device 2 concerning the operation gestalt of this invention has the electrode 3 for bump connection to both sides inserted into the wiring substrate 1 or the semiconductor device 2. Connection of at least 1 or more sets of electrode comrades between the both sides across which it faced is carried out.

[0035] The approach of connecting with wiring 4 within an integrated circuit or the method of preparing wiring out of an integrated circuit is used for the electrical installation approach. Wiring which goes via the side face of a semiconductor device 2 is formed by wearing of the tape 7 on which the through hole 5

was formed in the periphery section or a certain specific location of a semiconductor device 2, or the rewiring layer 6 and wiring were built in as an approach of connecting electrically the electrode 3 above-mentioned comrade for bump connection, and either of the wire bonding 8.

[0036] Furthermore, if needed, the periphery section of a semiconductor device 2 or the electrode pad 9 of a certain specific location is formed, it wires with the pad of the electrode 3 for bump connection, the electrode pad 9 is minded, and the electrode comrade for the 2nd above-mentioned page is connected.

[0037] The through hole 5 formed in a semiconductor device 2 uses a laser beam, a drill, a water jet, etc. Suppose that a through hole 5 is formed with a certain fixed distance from the integrated-circuit section so that you may not influence the integrated-circuit section.

[0038] Wearing of the rewiring layer 6 and the tape 7 on which wiring was built in, and wire bonding 8 shall be performed as a process after manufacture of a semiconductor device 2. In the rewiring layer 6, resin mould 12 grade is performed in heat curing of tape resin, and wire bonding 8 after wiring in a passivation layer and wiring internal-organs tape wearing.

[0039] Moreover, the protective coat or masking tape which protects the forming face of the electrode 3 for bump connection temporarily or eternally is installed for the purpose of the stress relaxation at the time of shipment.

[0040]

[Effect of the Invention] According to this invention, by taking in three-dimensions mounting by bump connection of a semiconductor device, the connection distance between the semiconductor devices in the conventional MCM can be shortened, and a speed of response can be improved substantially.

[0041] Moreover, large improvement in the rate of mounting is achieved from a package fabrication smaller than the gross area of a semiconductor device being possible.

[0042] Furthermore, since the specification decision and a fabrication of MCM are attained by the assembly manufacturer, reduction of chip makers' semiconductor device production form and a fabrication stroke and mass production method by specification communalization are attained, and low-cost-izing and low-pricing are attained.

[0043] That is, according to this invention, while being able to improve a speed of response and the rate of mounting, the semiconductor device whose price can fall is realizable.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the mounting structure in the wiring specification in an integrated circuit of the semiconductor device which is the operation gestalt of this invention.

[Drawing 2] It is drawing showing the mounting structure in the penetration beer specification of the semiconductor device which is the operation gestalt of this invention.

[Drawing 3] It is drawing showing the mounting structure in the side-face rewiring specification of the semiconductor device which is the operation gestalt of this invention.

[Drawing 4] It is drawing showing the mounting structure in the tape specification with built-in wiring of the semiconductor device which is the operation gestalt of this invention.

[Drawing 5] It is drawing showing the mounting structure in the wire-bonding specification of the semiconductor device which is the operation gestalt of this invention.

[Drawing 6] It is drawing showing the structure in the rewiring specification 1 of the semiconductor device which is the operation gestalt of this invention.

[Drawing 7] It is drawing showing the structure in the rewiring specification 2 of the semiconductor device which is the operation gestalt of this invention.

[Drawing 8] It is drawing showing the structure in the rewiring specification 3 of the semiconductor device which is the operation gestalt of this invention.

[Drawing 9] It is drawing showing the structure in the tape specification with built-in wiring of the semiconductor device which is the operation gestalt of this invention.

[Drawing 10] It is drawing showing the structure in the wire-bonding specification of the semiconductor device which is the operation gestalt of this invention.

[Description of Notations]

1 Wiring Substrate

2 Semiconductor Device

3 Electrode for Bump Connection

4 Wiring in Integrated Circuit

5 Through Hole

6 Rewiring Layer

7 Tape on which Wiring was Built In

8 Wire Bonding

9 Electrode Pad

10 Bump

11 Under-filling Material

12 Resin Mould

13 Drawer Pad

14 Pad-on Beer

15 Resin Mould

[Translation done.]